

姚文涛

年龄：21 岁 · 手机：19509970682 · 邮箱：b22020029@njupt.edu.cn ·

教育背景

南京邮电大学 - 电子科学与技术（创新班）

2022.09 - 至今

- 学院：电子与光学工程、柔性电子（未来技术）学院
- 专业绩点：4.21 / 5.0，专业排名：12 / 275，CET-6：499
- 主修课程：微机原理与接口技术（98），微纳传感器及其应用（95），电磁场理论（94），线性代数（97），C 语言计算机问题求解（97），大学物理（上）（98），网络技术与应用（95），电路分析基础（96）
- 知识方向：Gem5/XiangShan 体系结构，PyTorch 机器学习，UVM/SVA 芯片验证

项目经历

- **1. 加速 LLM 的 AI 协处理加速器设计 2024.08 - 2024.11**
 - 该设计基于 SMIC40 工艺，面积 $1.5 \times 1.3 \text{mm}^2$ ，动态功耗 16.8mW，适配蜂鸟 e203 SoC 系统，支持 DDR4 访存及所有 Transformer 中算子的 int8 计算
 - 设计创新设计 softmax 模块，支持浮点与定点运算灵活转换，提升计算效率；采用自定义指令集与可配置接口，增强扩展性；设计六事件状态机控制 shuffle 模块的 crossbar 路由，优化数据流；scratchpad 采用两路全双工端口，支持并行访问
 - 负责加速器架构的设计，scratchpad、softmax 算子、icb 转 axi 总线、DMA 模块的编写，以及 FPGA 验证，并作为团队第一负责人，本项目参与 2024 年全国大学生嵌入式芯片与系统设计竞赛芯片设计赛道，获得国家一等奖，本科生组第一名
- **2. 用于多 chiplets 的 LLM 加速器存储空间设计探索模拟器 2024.03 - 2025.02**
 - 基于 BookSim2 框架开发多 Chiplets 存储空间模拟器，支持独立时钟域、任务可配置的算子融合加速，适配 DRAMSim3 接口，可以支持多种不同类型的内存系统，并实现周期精度仿真
 - 重构 trafficmanager 模块以适配 chiplet 模块的接口，优化数据包生成、分发与回收流程，并适配于不同时钟域；设计 interconnect_wrapper，dramsim3_wrapper 模块用于将 chiplet 接入到互联系统
 - 开发 Chiplet 模块，负责时钟管理、核心逻辑处理、事务收发及完成状态检查，提升系统整体性能与可扩展性
- **3. 中性原子—超导互联的量子计算编译研究 2025.05 - 至今**
 - 针对超导电路计算速度快与中性原子保真时间长的特性，以及两种体系参数差异大导致传统调度方案不适用的问题，开展量子互联体系调度算法研究
 - 创新提出基于设计空间探索的新调度算法，通过结合 Swap 门最少化调度与运行时间最小化调度，解决体系参数差异带来的适配难题
 - 算法在较深量子电路中实现 2-5 倍的保真度提升，优化中性原子与超导互联体系的量子计算性能
 - 负责调度算法核心逻辑设计与性能验证，本成果正在投递 ASPLOS 2026
- **4. NoC 的异构 SoC 架构设计 2024.04 - 2024.08**
 - 采用自研 NoC 拓扑结构及路由算法，并且将多核系统布署在 NoC 拓扑结构上，在 FPGA 上实现。
 - 制定 NoC 的路由算法实现方案，基于 AXI-Lite(CPU)、AXIS(路由节点间交互)和 APB(外设)协议制定 NoC 总线协议，拓扑基于 2D Mesh 和 Torus 拓扑结构，结构、路由简单、并优化长路径路由，同时可扩展性强。
 - 使用异步 FIFO 完成节点异步通信，支持自适应动态频率切换实现节能，脚本实现 Node 例化集成拓扑结构，C 语言验证 SoC 多核之间的路由通信，并撰写设计验证报告。

荣誉与竞赛

- 全国大学生嵌入式芯片与系统设计竞赛芯片设计赛道国家一等奖（第 1 名/121 支队伍）
- FPGA 竞赛易灵思杯国家一等奖（前 100/10726 支队伍）
- 蓝桥杯 FPGA 设计赛道国家二等奖（2025）
- 全国大学生集成电路创新创业大赛华东赛区二等奖（2023）